

# Προηγμένες αρχιτεκτονικές υπολογιστών και προγραμματισμός παραλλήλων συστημάτων

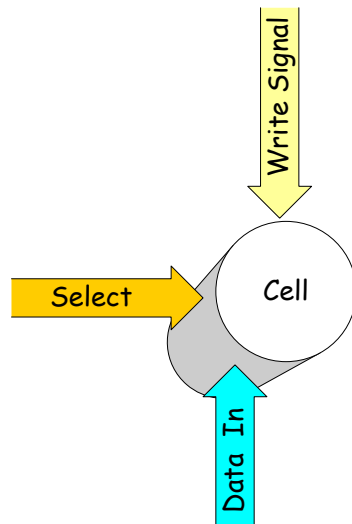
ο6. Συστήματα Μνήμης –  
Οργάνωση Κύριας Μνήμης

# Περιεχόμενα

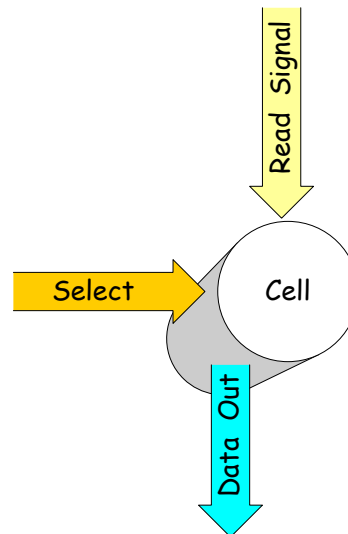
- Συστήματα Μνήμης.
  - Η τεχνολογία της ιεραρχημένης μνήμης.
  - Οργάνωση της μνήμης cache.
    - Η βασική αρχή λειτουργίας.
    - Οι παράμετροι της cache.
    - Απόδοση της cache.
  - Οργάνωση της Κύριας Μνήμης.
    - Φυσική οργάνωση.
    - Λογική οργάνωση.
    - Απόδοση συστήματος cache - Κύριας Μνήμης.

# Το βασικό στοιχείο μνήμης

- Το βασικό στοιχείο μιας μνήμης ημιαγωγών (semiconductor) θεωρείται αυτό που ονομάζεται memory cell και στο οποίο μπορούμε να αποθηκεύσουμε το 0 ή το 1.



Λειτουργία Write



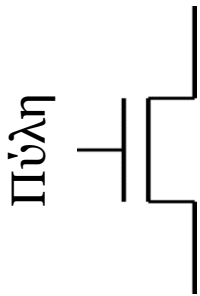
Λειτουργία Read

# Τεχνολογίες μνήμης (DRAM)

- DRAM (Dynamic Random Access Memory).
- Οι πληροφορίες χάνονται με την διακοπή της τροφοδοσίας (πτητική – volatile memory).
- Τα bits αποθηκεύονται ηλεκτρικά φορτία σε πυκνωτές.
- Αναλογική αποθήκευση: Η στάθμη του φορτίου καθορίζει και την τιμή (0 ή 1).
- Απαιτούν συνεχή ανανέωση των φορτίων.
- Κατασκευάζονται εύκολα.
- Μικρός όγκος του βασικού στοιχείου.
- Μικρό κόστος.
- Απαιτούν επιπλέον κυκλώματα ανανέωσης των φορτίων
- Αργές (μεγάλος χρόνος προσπέλασης).
- Χρησιμοποιούνται σαν κύριες μνήμες.

# Θυμόμαστε τα τρανζίστορ

Τύπος NMOS



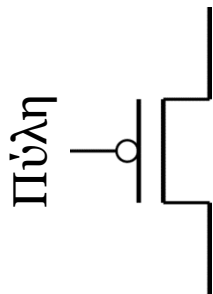
Αν Πύλη = 0



Αν Πύλη = 1



Τύπος PMOS



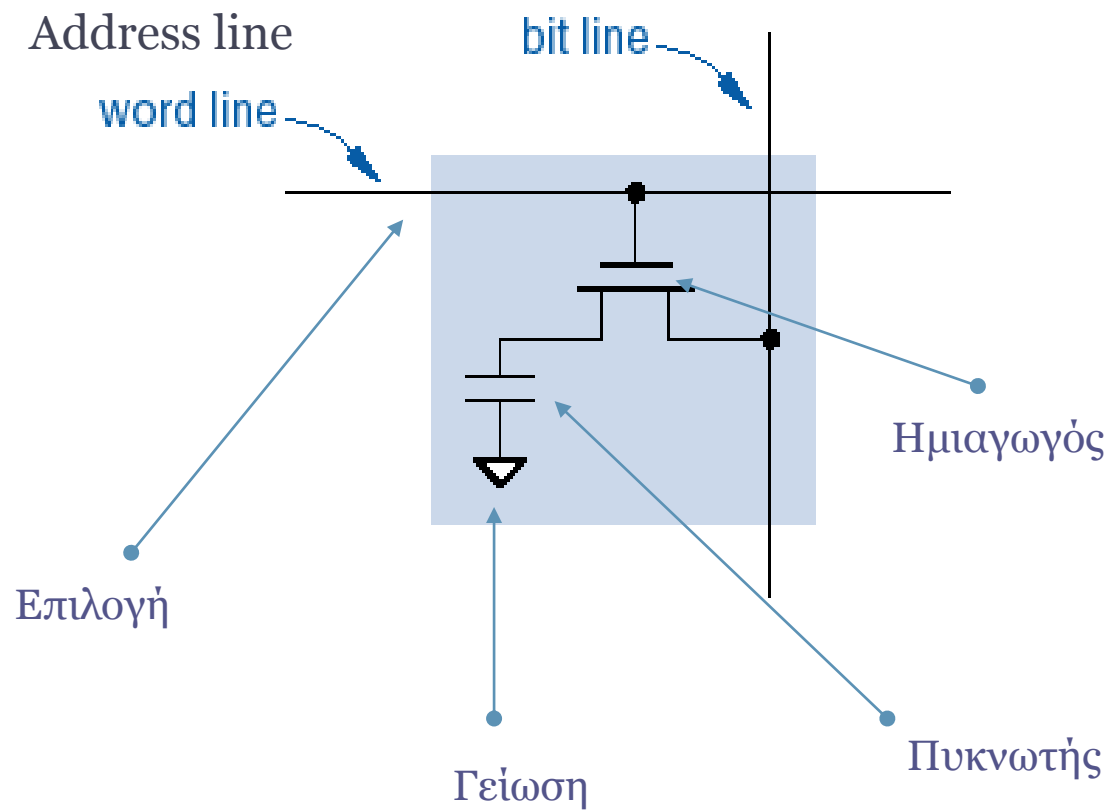
Αν Πύλη = 0



Αν Πύλη = 1



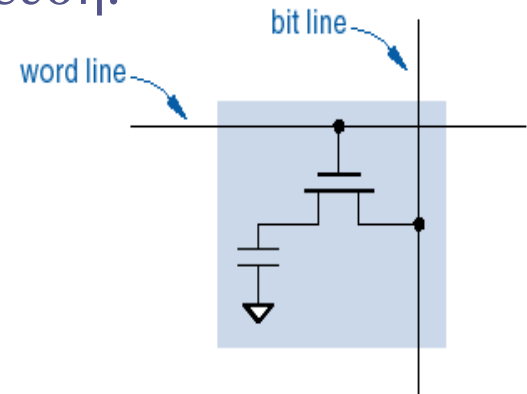
# Στοιχείο DRAM



# Micro DRAM operation

- **Διαδικασία εγγραφής (write):**

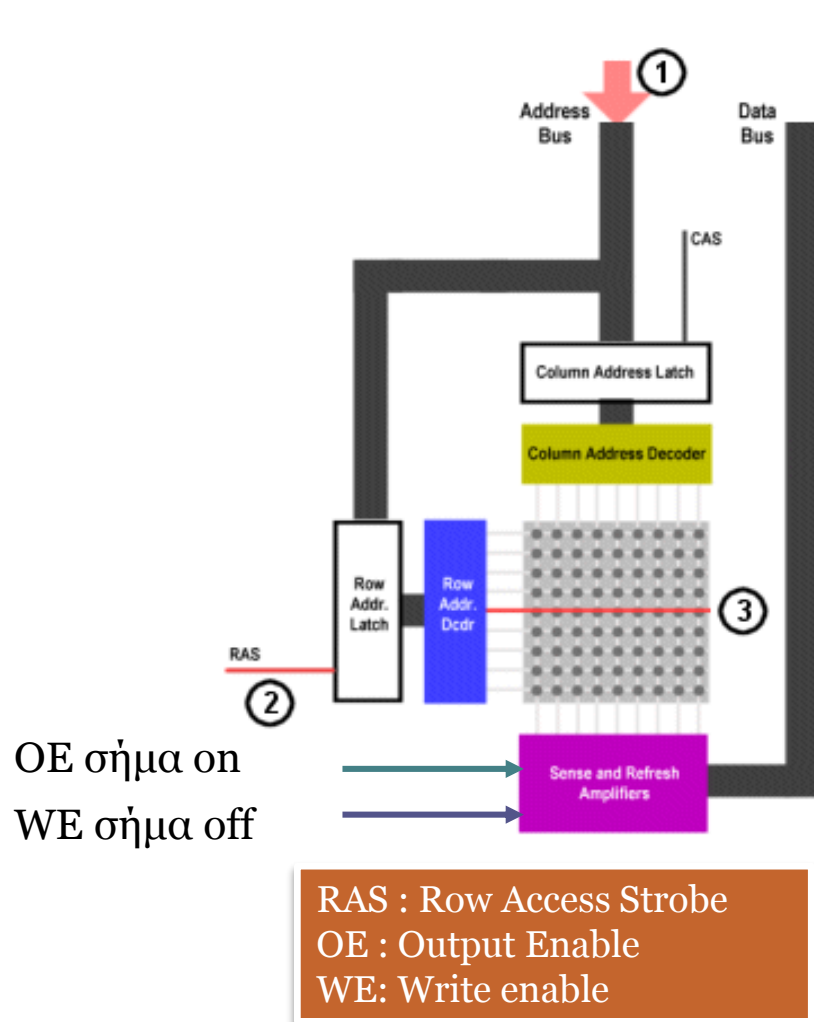
- Η address line (word line) ενεργοποιείται.
  - Το transistor κλείνει και επιτρέπει τη διέλευση.
- Τάση (voltage) στη bit line.
  - High για 1 και low για 0.
- Αποστολή σήματος στην address line.
  - Φόρτιση πυκνωτή (capacitor).



- **Διαδικασία read:**

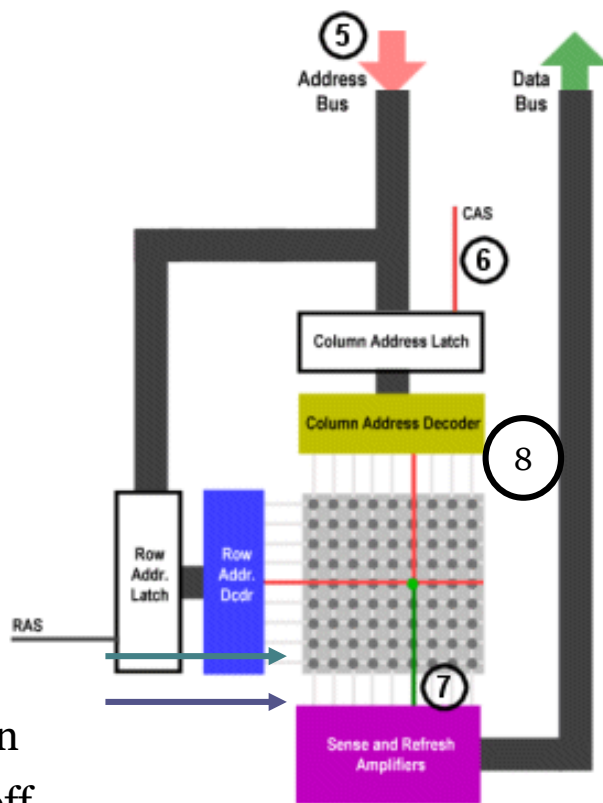
- Η address line ενεργοποιείται.
  - Το transistor κλείνει και επιτρέπει τη διέλευση.
- Το φορτίο του πυκνωτή ρέει μέσω της bit line σε έναν sense amplifier (ο πυκνωτής αποφορτίζεται).
  - Γίνεται σύγκριση με μια τιμή αναφοράς φορτίου για να εντοπιστεί το 0 ή 1.
- Ο πυκνωτής επαναφορτίζεται.

# DRAM operation: read one bit



1. Η διεύθυνση γραμμής εισέρχεται στη μνήμη μέσω του address bus.
2. Το RAS σήμα ενεργοποιείται και η διεύθυνση της γραμμής τοποθετείται στο row address latch.
3. Ο row address decoder επιλέγει την κατάλληλη γραμμή και ενημερώνει τον sense amplifier.
4. Η μνήμη κλειδώνει (σήμα WE off).

# DRAM operation: read one bit



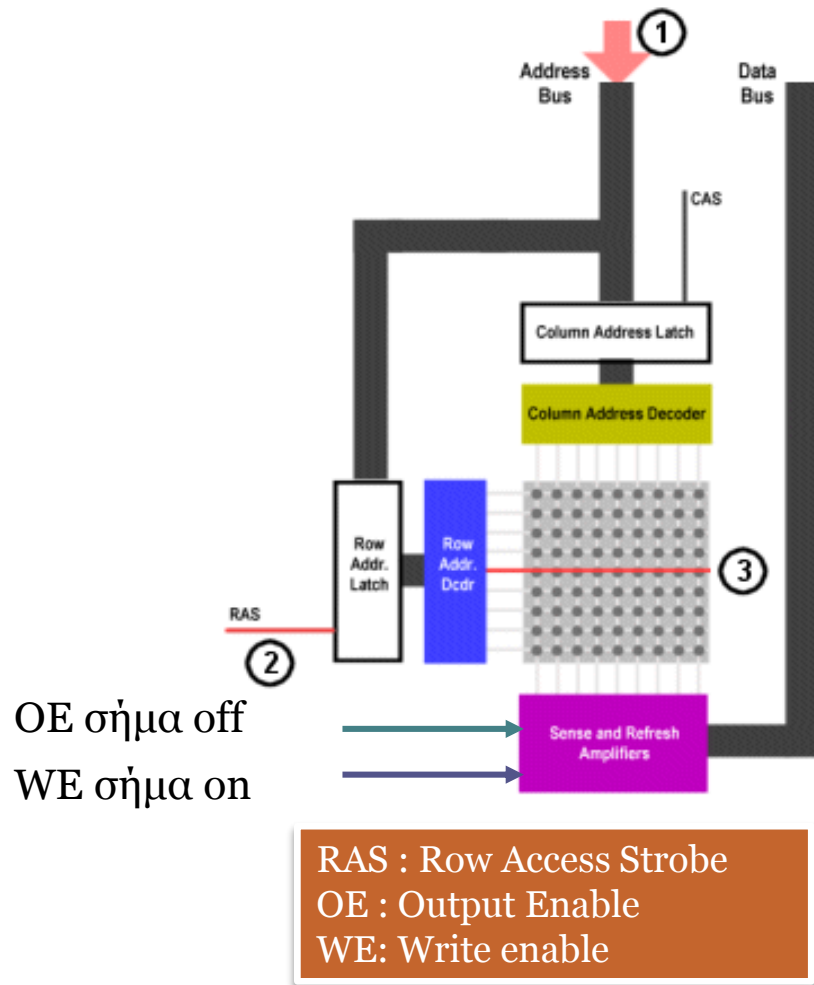
OE σήμα on  
WE σήμα off

CAS : Column Access Strobe  
OE : Output Enable  
WE: Write Enable

5. Η διεύθυνση στήλης εισέρχεται στη μνήμη μέσω του address bus.
6. Το CAS σήμα ενεργοποιείται και η διεύθυνση της στήλης τοποθετείται στο column address latch.
7. Ο column address decoder επιλέγει την κατάλληλη γραμμή και ενημερώνει τον sense amplifier.
8. Εφόσον το OE σήμα είναι ενεργό ο sense amplifier διαβάζει το bit και το στέλνει στο σύστημα μέσω του data bus (ένα pin).
9. Όλα τα σήματα απενεργοποιούνται.
10. Εφόσον έχει έρθει ο κατάλληλος χρόνος, η μνήμη σαρώνεται και γίνεται το φρεσκάρισμα.

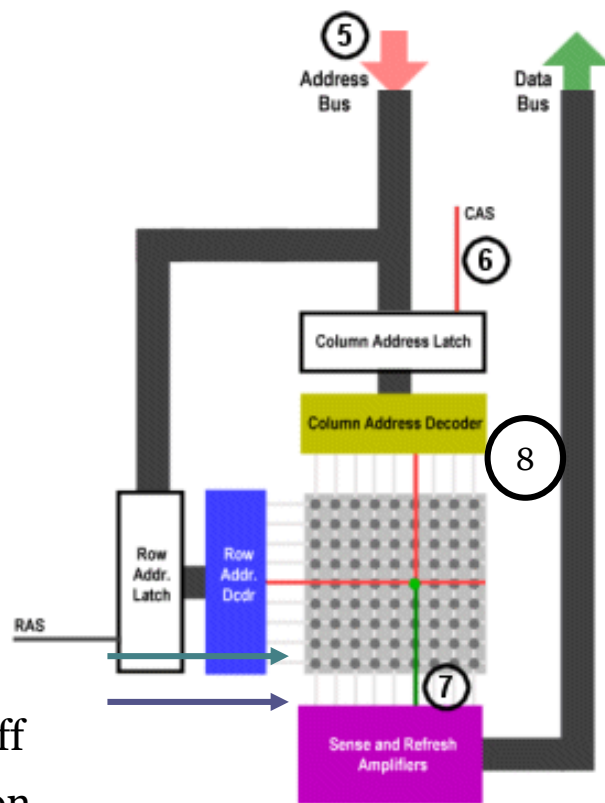
Μια τεχνική refresh είναι η μαζική ανάγνωση όλων των bits της μνήμης

# DRAM operation: write one bit



1. Η διεύθυνση γραμμής εισέρχεται στη μνήμη μέσω του address bus.
2. Το RAS σήμα ενεργοποιείται και η διεύθυνση της γραμμής τοποθετείται στο row address latch.
3. Ο row address decoder επιλέγει την κατάλληλη γραμμή και ενημερώνει τον sense amplifier.
4. Η μνήμη κλειδώνει (σήμα OE off).

# DRAM operation: write one bit



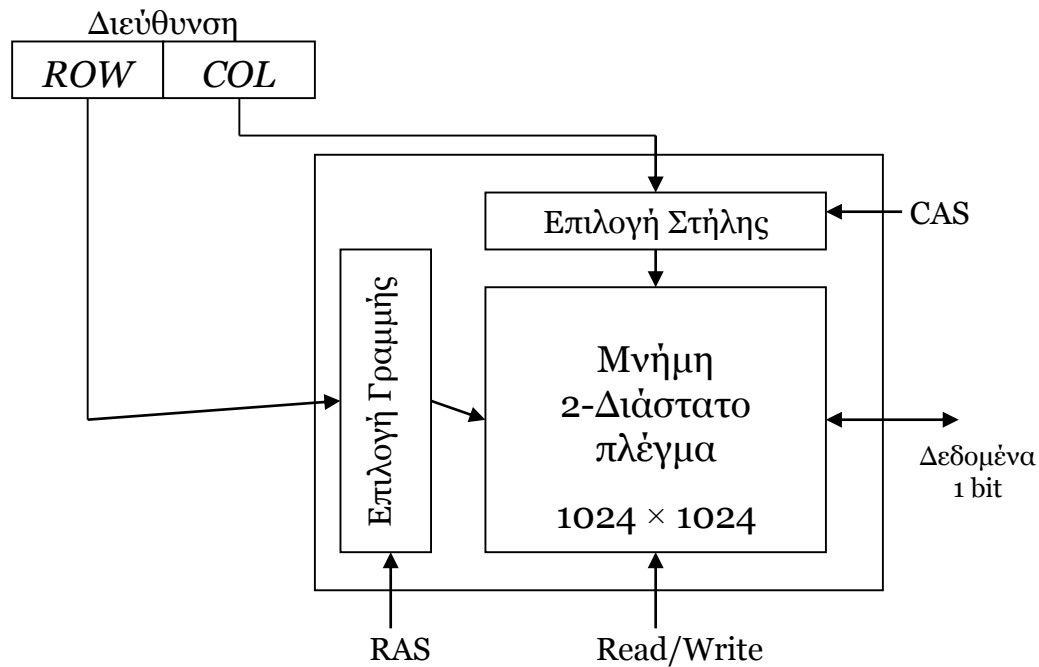
OE σήμα off  
WE σήμα on

CAS : Column Access Strobe  
OE : Output Enable  
WE: Write Enable

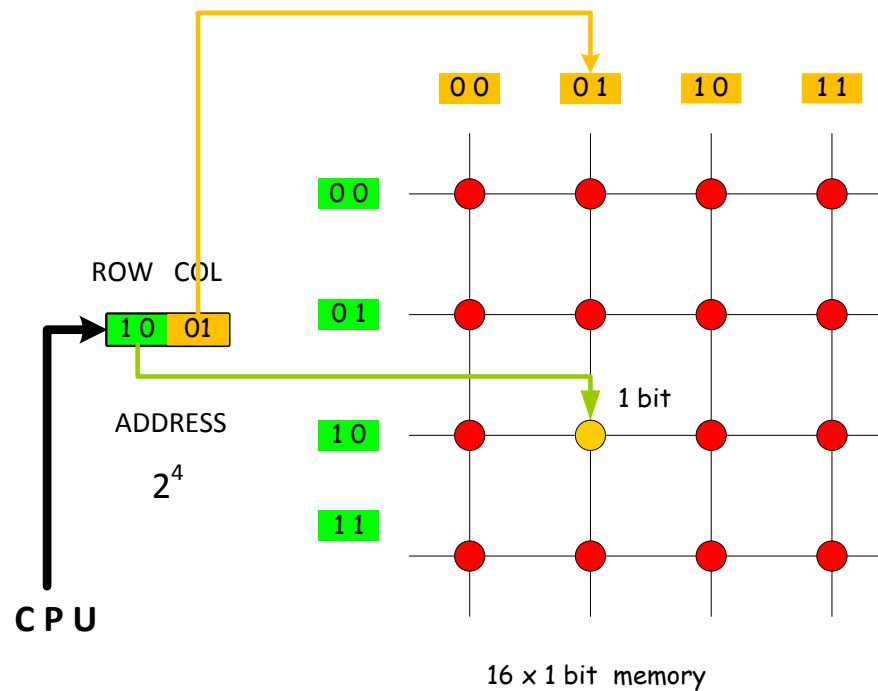
5. Η διεύθυνση στήλης εισέρχεται στη μνήμη μέσω του address bus.
6. Το CAS σήμα ενεργοποιείται και η διεύθυνση της στήλης τοποθετείται στο column address latch.
7. Ο column address decoder επιλέγει την κατάλληλη γραμμή και ενημερώνει τον sense amplifier.
8. Εφόσον το WE σήμα είναι ενεργό ο sense amplifier διαβάζει το bit από το data bus (ένα pin) και το στέλνει στο επιλεγμένο bit της μνήμης.
9. Όλα τα σήματα απενεργοποιούνται.
10. Εφόσον έχει έρθει ο κατάλληλος χρόνος, η μνήμη σαρώνεται και γίνεται το φρεσκάρισμα.

Μια τεχνική refresh είναι η μαζική ανάγνωση όλων των bits της μνήμης

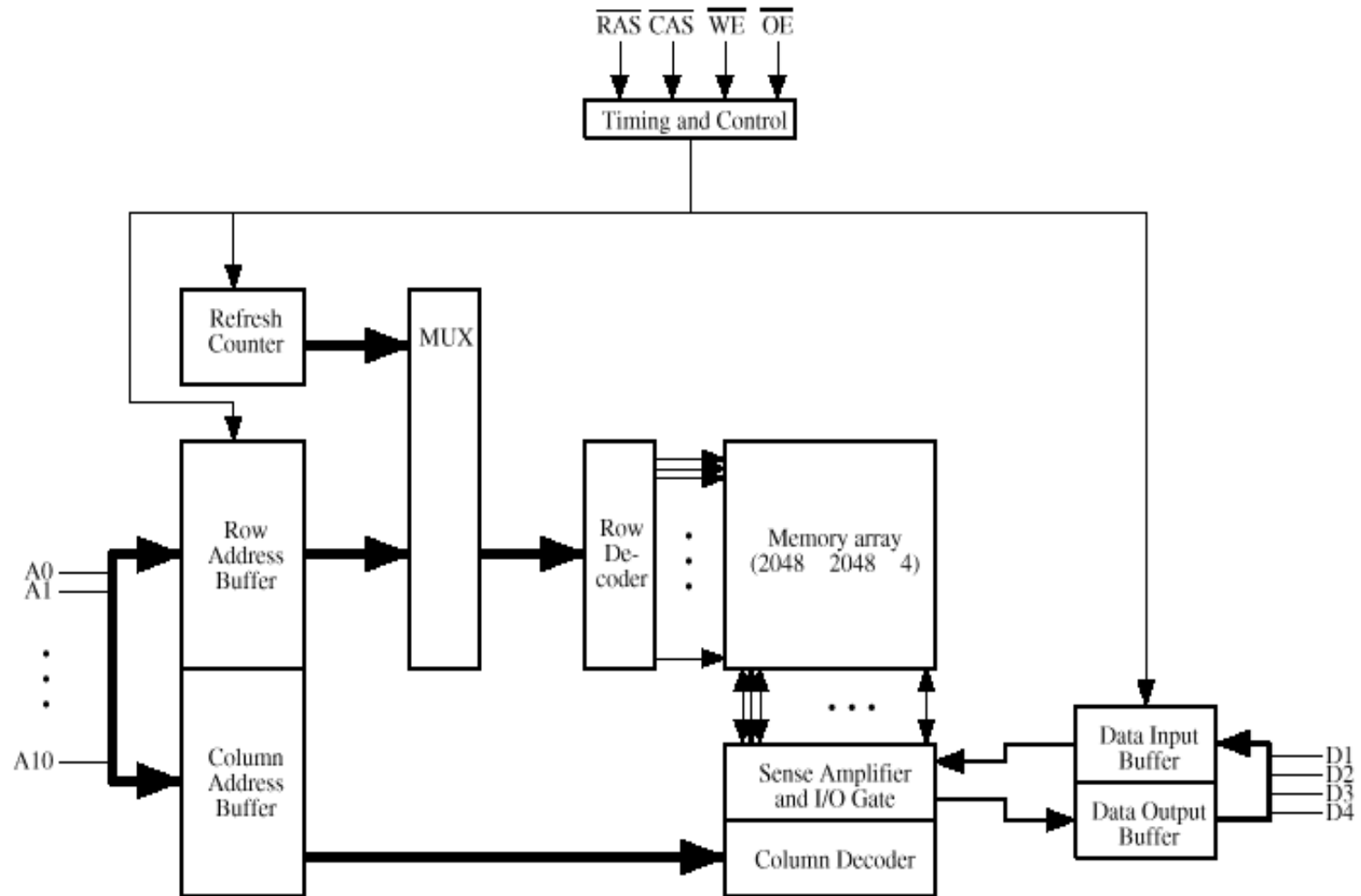
# Απλή οργάνωση Μνήμης DRAM



# Αποκωδικοποίηση διεύθυνσης

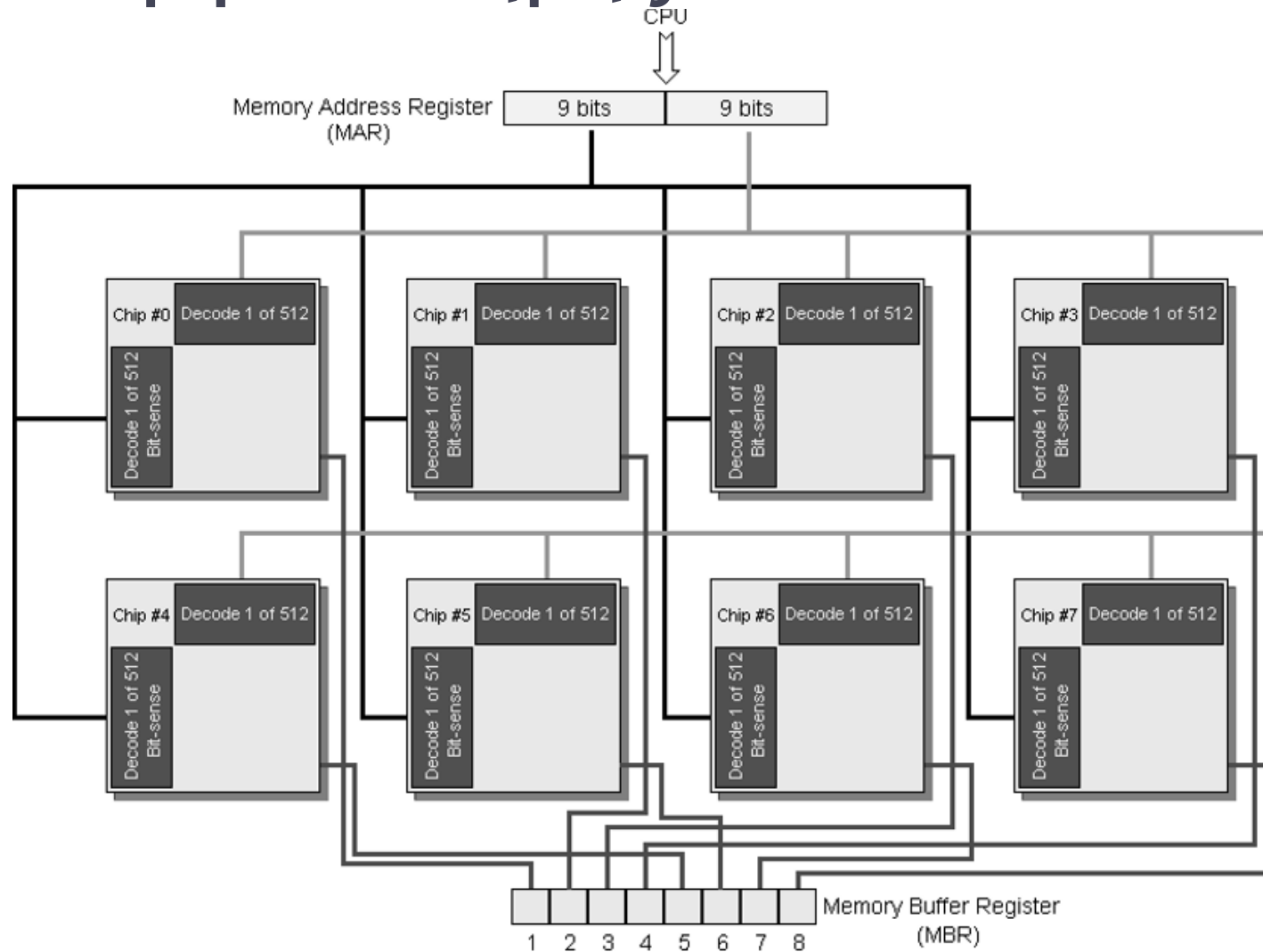


# Οργάνωση Μνήμης DRAM

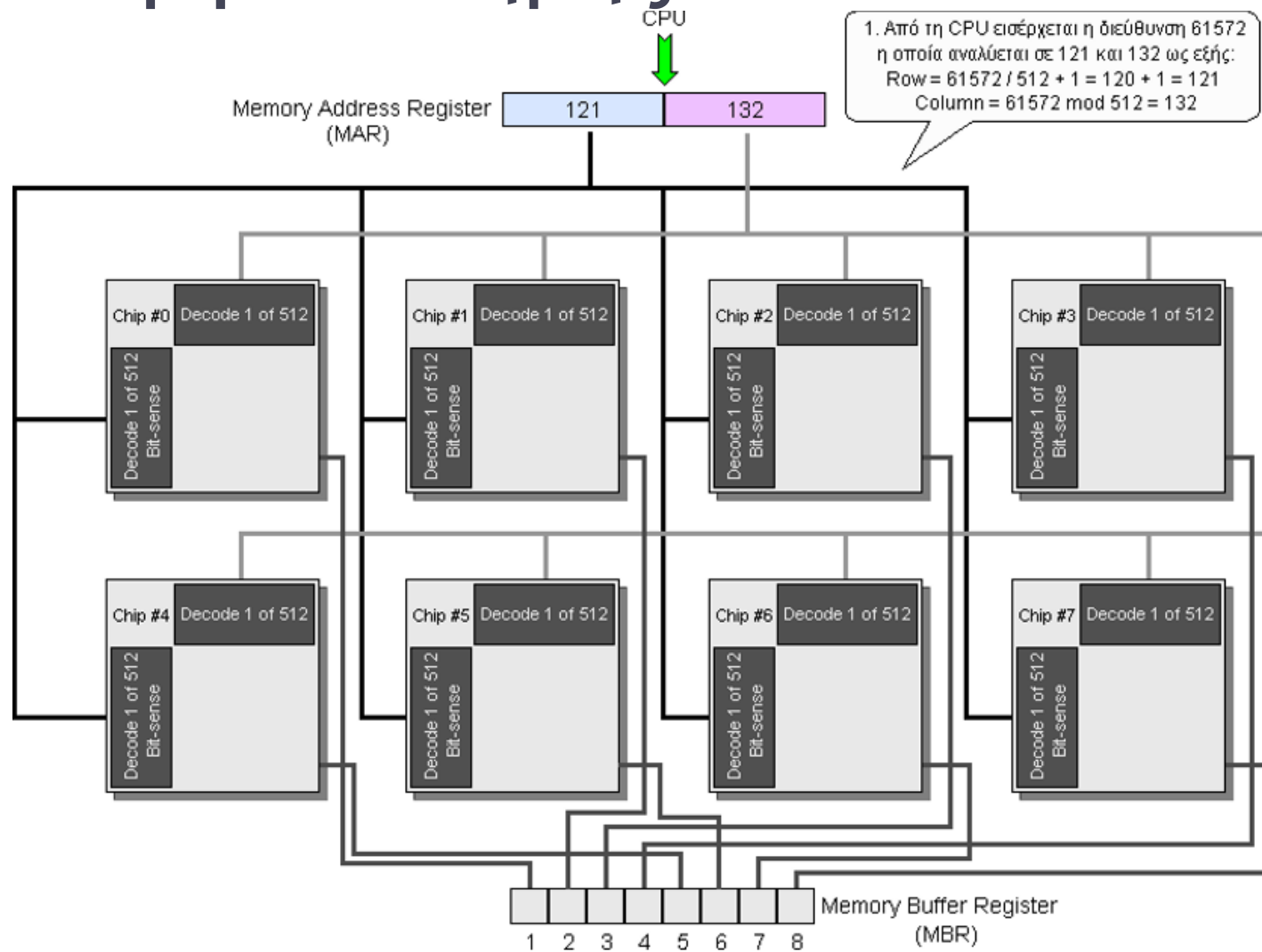


Μνήμη 4M των 4 bits

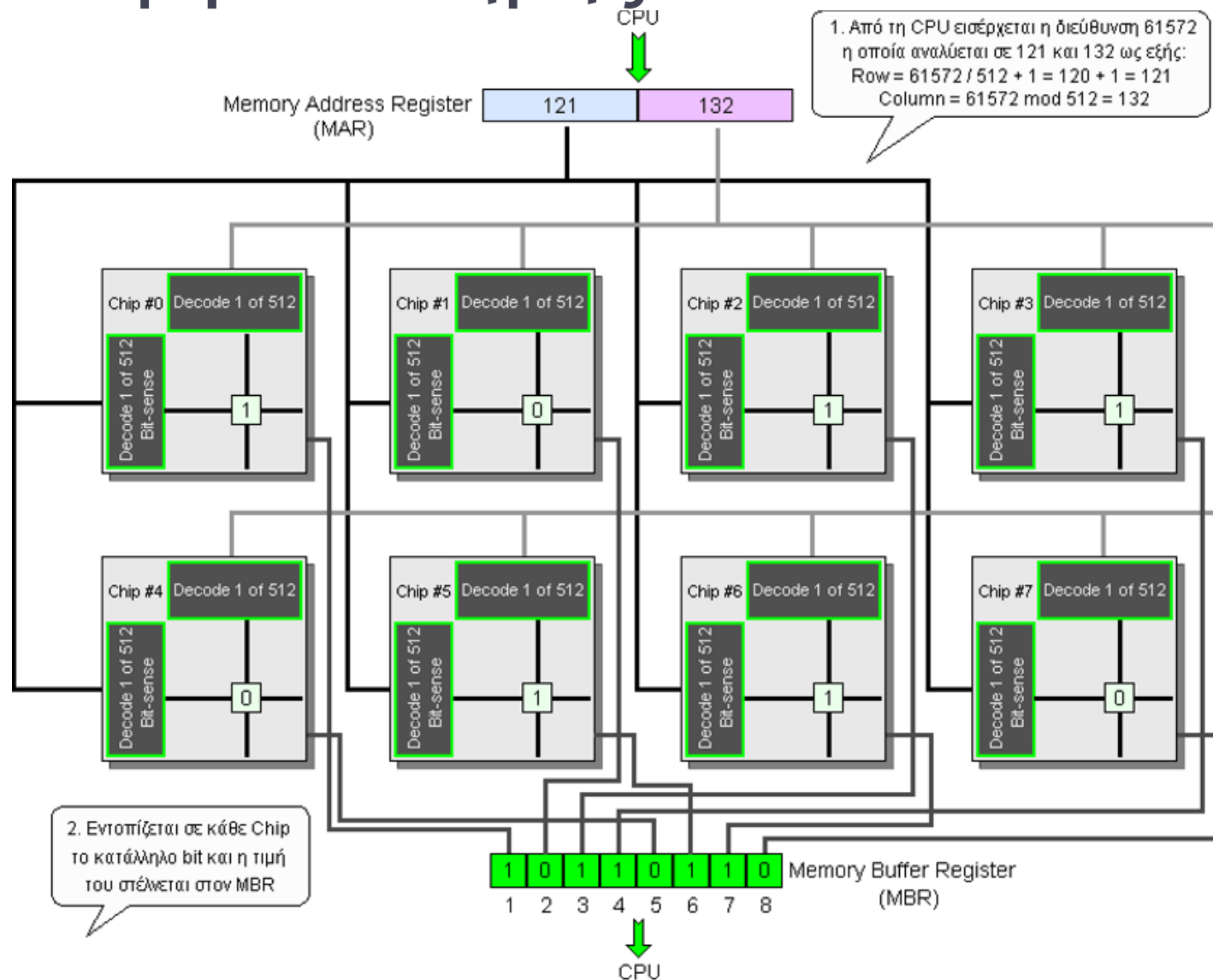
# Λειτουργία Μνήμης DRAM 512x512x8



# Λειτουργία Μνήμης DRAM 512x512x8



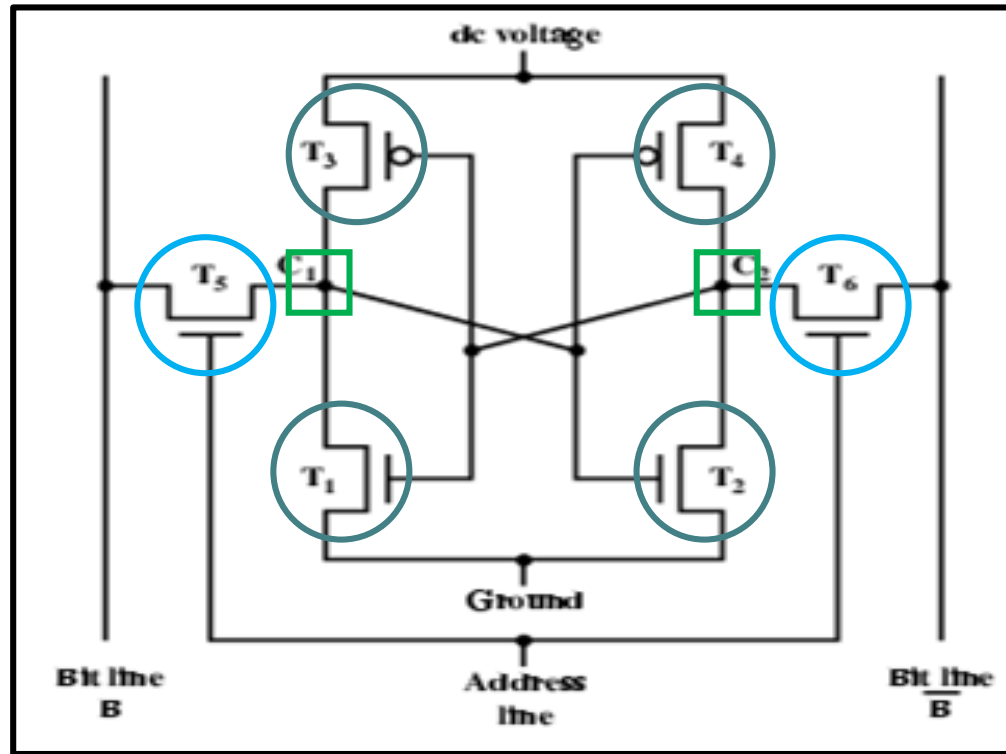
# Λειτουργία Μνήμης DRAM 512x512x8



# Τεχνολογίες μνήμης (SRAM)

- SRAM (Static Random Access Memory).
- Οι πληροφορίες χάνονται με την διακοπή της τροφοδοσίας (πτητικές – volatile memory).
- Τα bits αποθηκεύονται σαν on/off διακόπτες.
- Ψηφιακή αποθήκευση με χρήση Flip-Flop.
- Δεν απαιτούν συνεχή ανανέωση της πληροφορίας.
- Σύνθετη κατασκευή.
- Μεγάλος όγκος του βασικού στοιχείου.
- Μεγάλο κόστος.
- Γρήγορες (μικρός χρόνος προσπέλασης).
- Χρησιμοποιούνται σαν κρυφές μνήμες (cache).

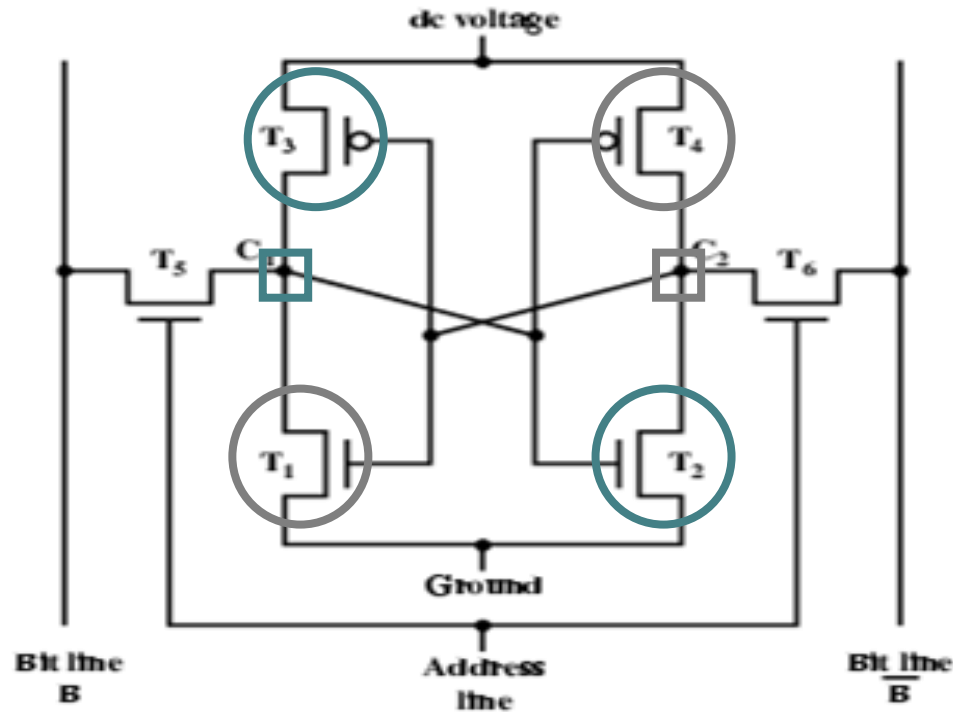
# SRAM bit σε λεπτομέρειες



 Address Transistor  
 Data Transistor

 Cross point

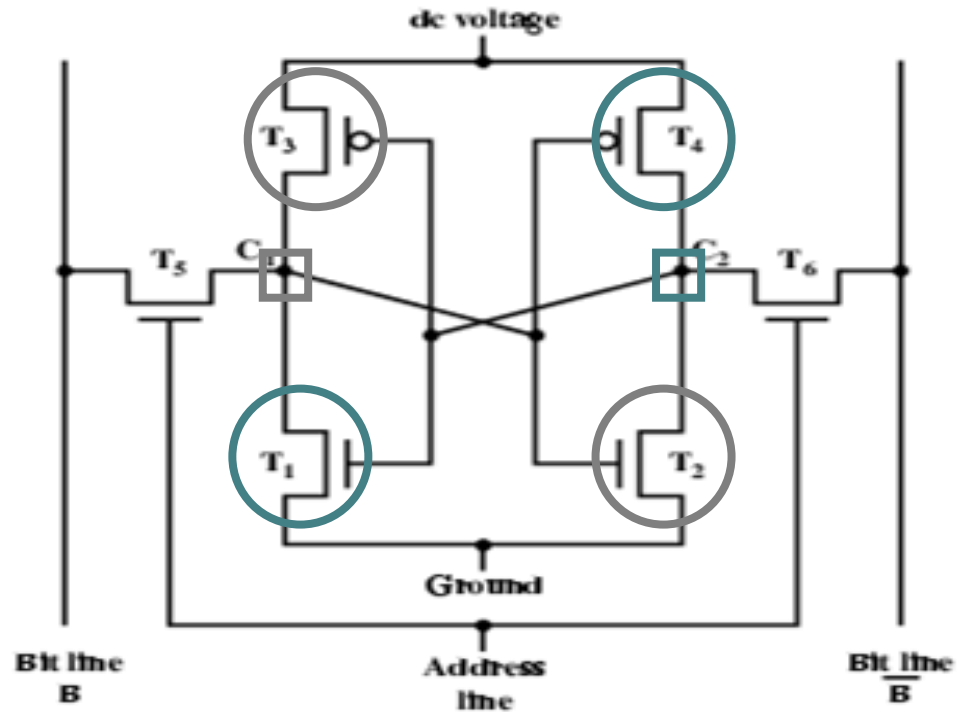
# SRAM bit σε κατάσταση 1



 Transistor off  
 Transistor on

 Cross point off  
 Cross point on

# SRAM bit σε κατάσταση 0

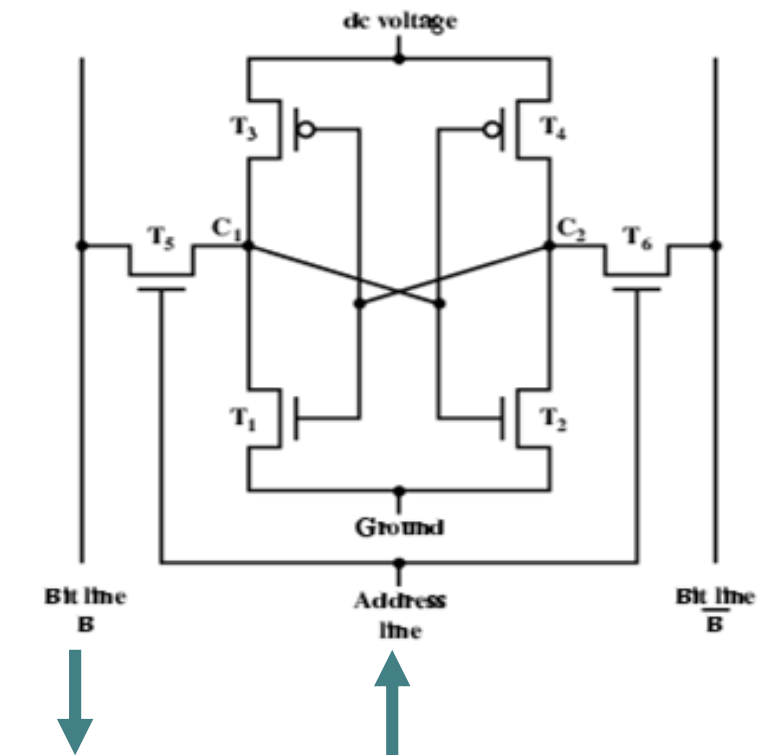


 Transistor off  
 Transistor on

 Cross point off  
 Cross point on

# SRAM write or read

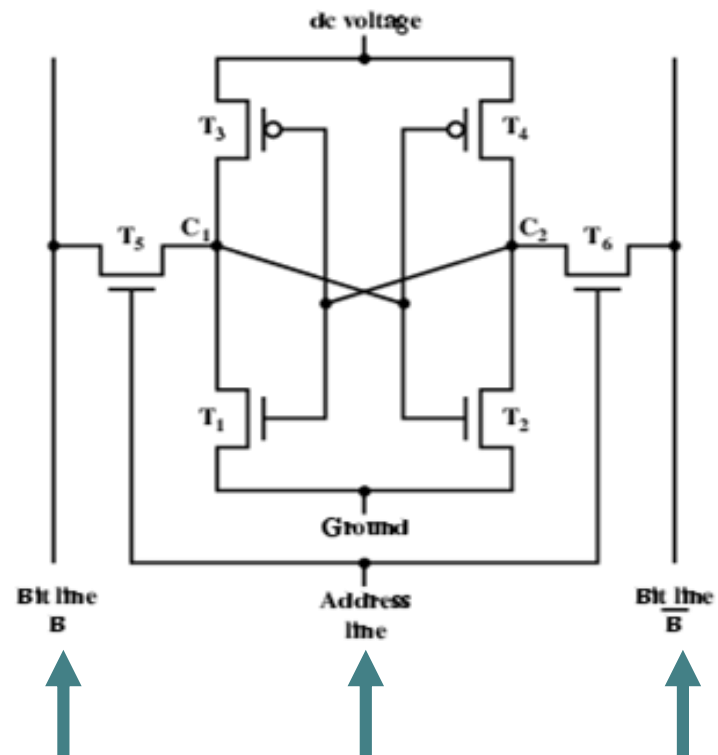
## Read



τιμή

Διεύθυνση

## Write

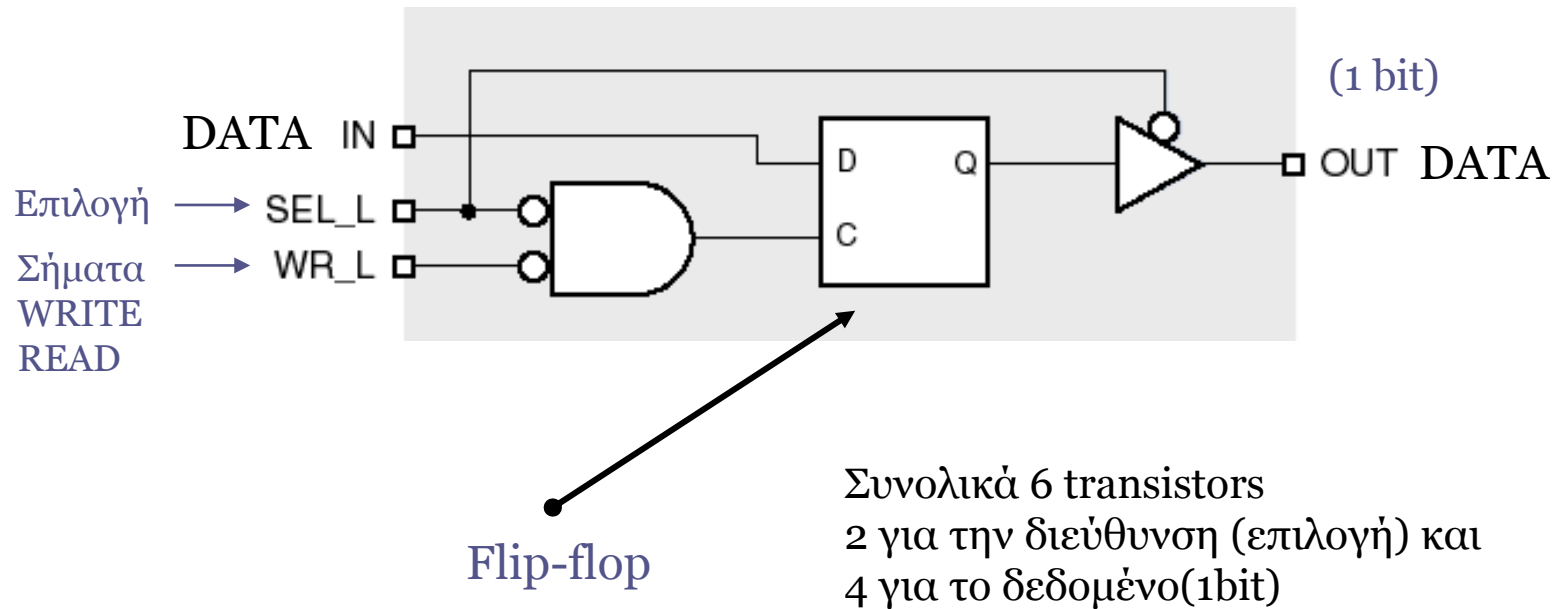


τιμή

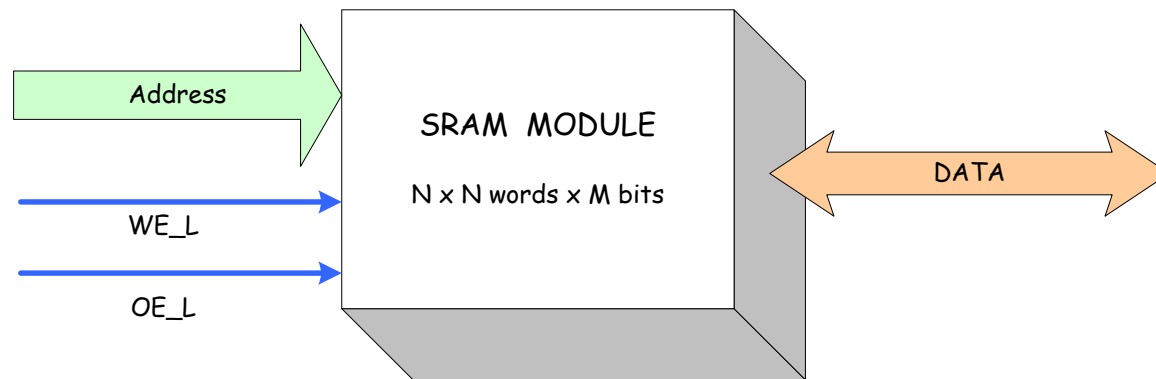
Διεύθυνση

Συμπλήρωμα  
τιμής

# Στοιχείο SRAM



# Συνοπτική παράσταση SRAM



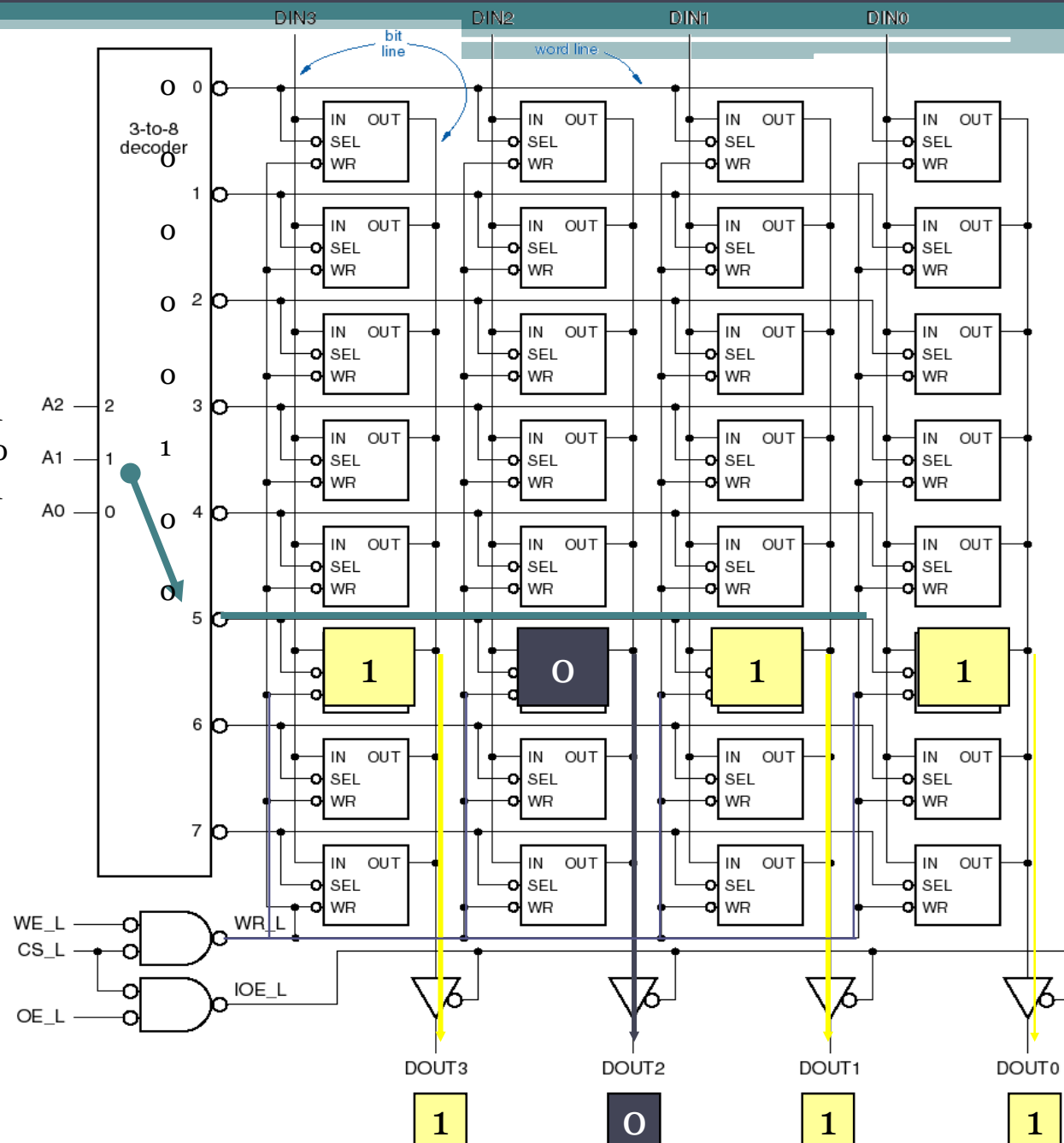
WE\_L : Write Enable  
OE\_L : Output Enable

|               | WE_L | OE_L |
|---------------|------|------|
| <b>INPUT</b>  | LOW  | HIGH |
| <b>OUTPUT</b> | HIGH | LOW  |
| <b>ERROR</b>  | LOW  | LOW  |

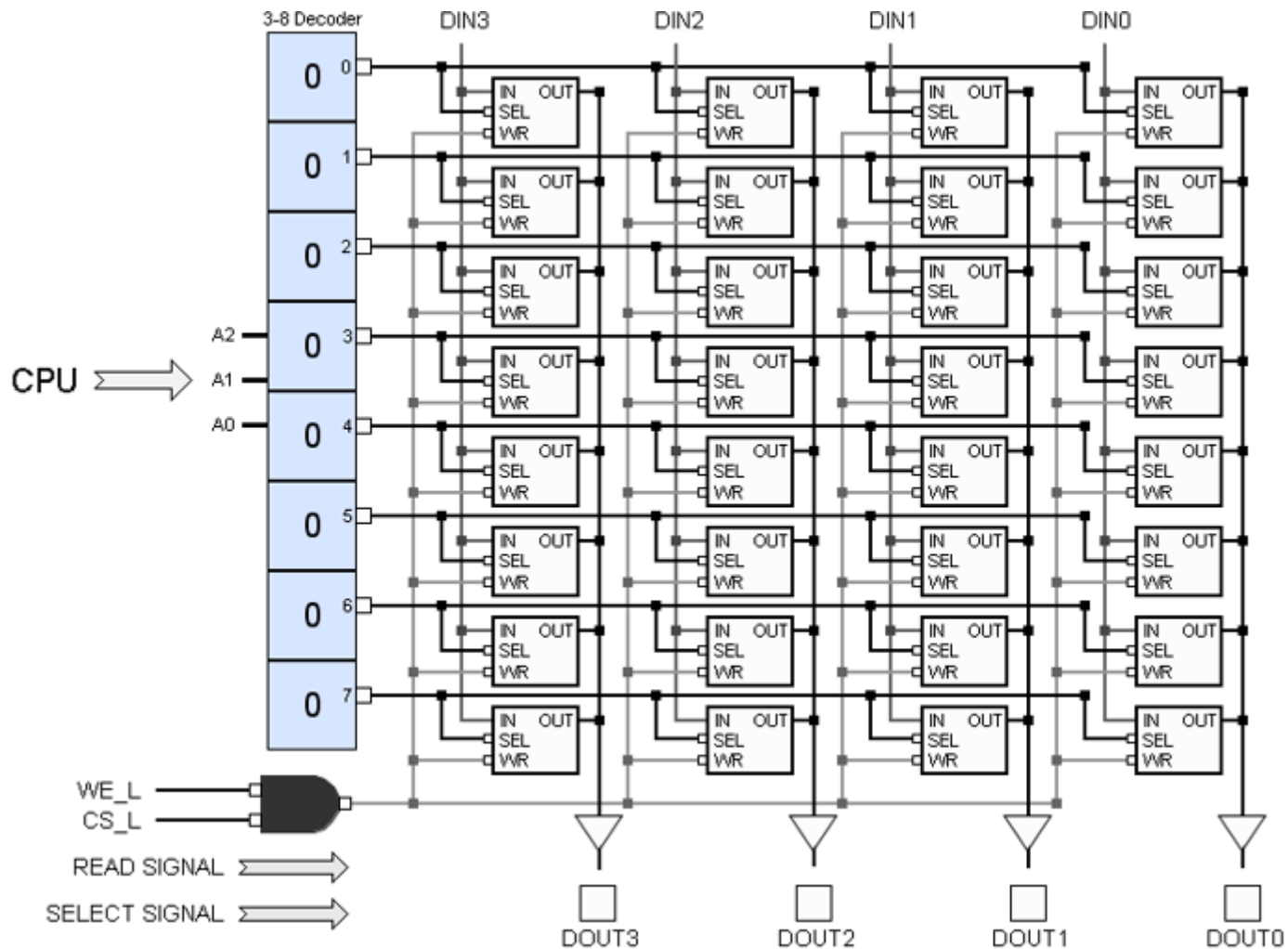
# Τυπική Οργάνωση SRAM των 8 θέσεων των 4 bit

101  
Διεύθυνση

Read  
signal

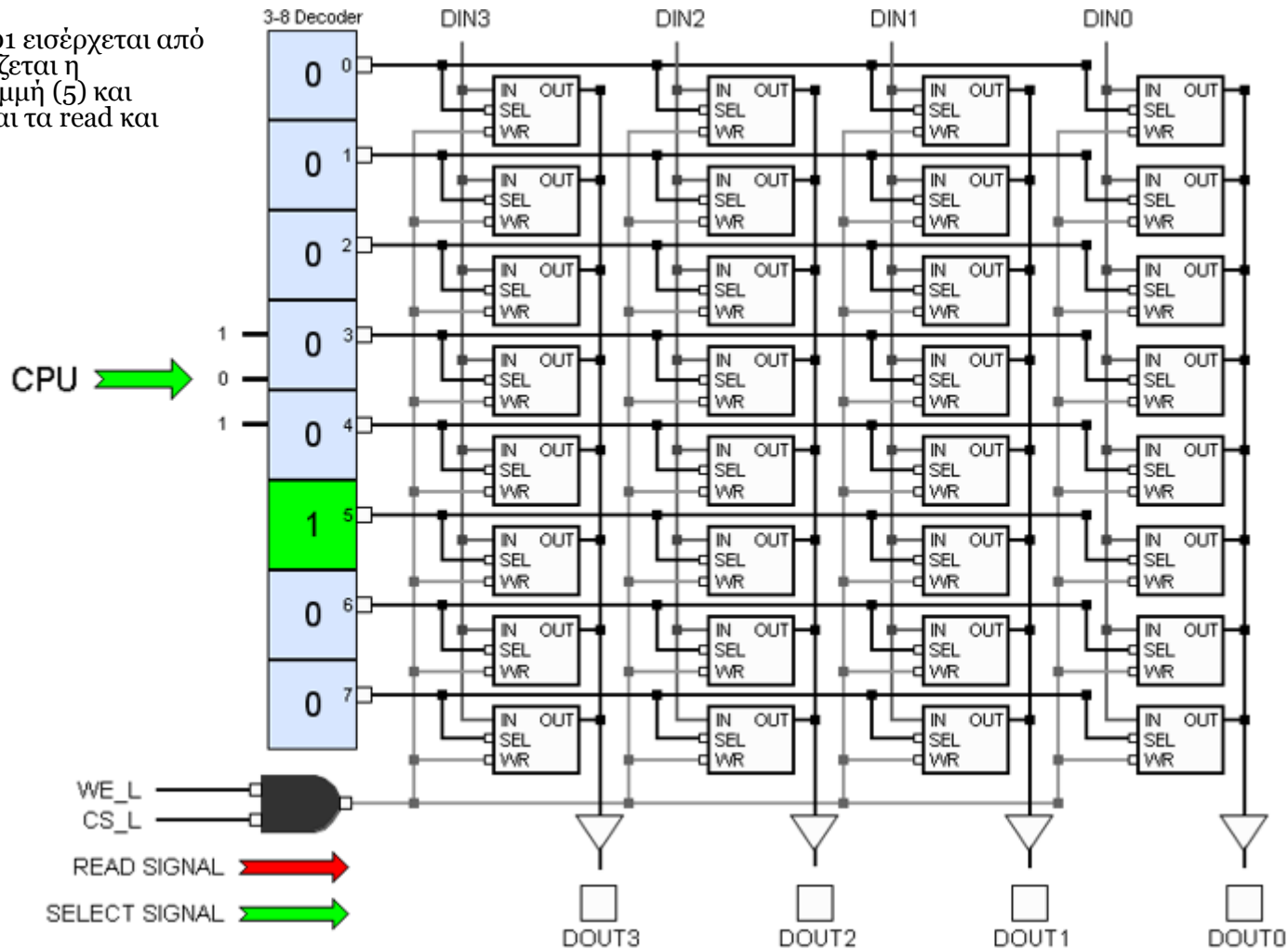


# Τυπική Οργάνωση SRAM των 8 θέσεων των 4 bit



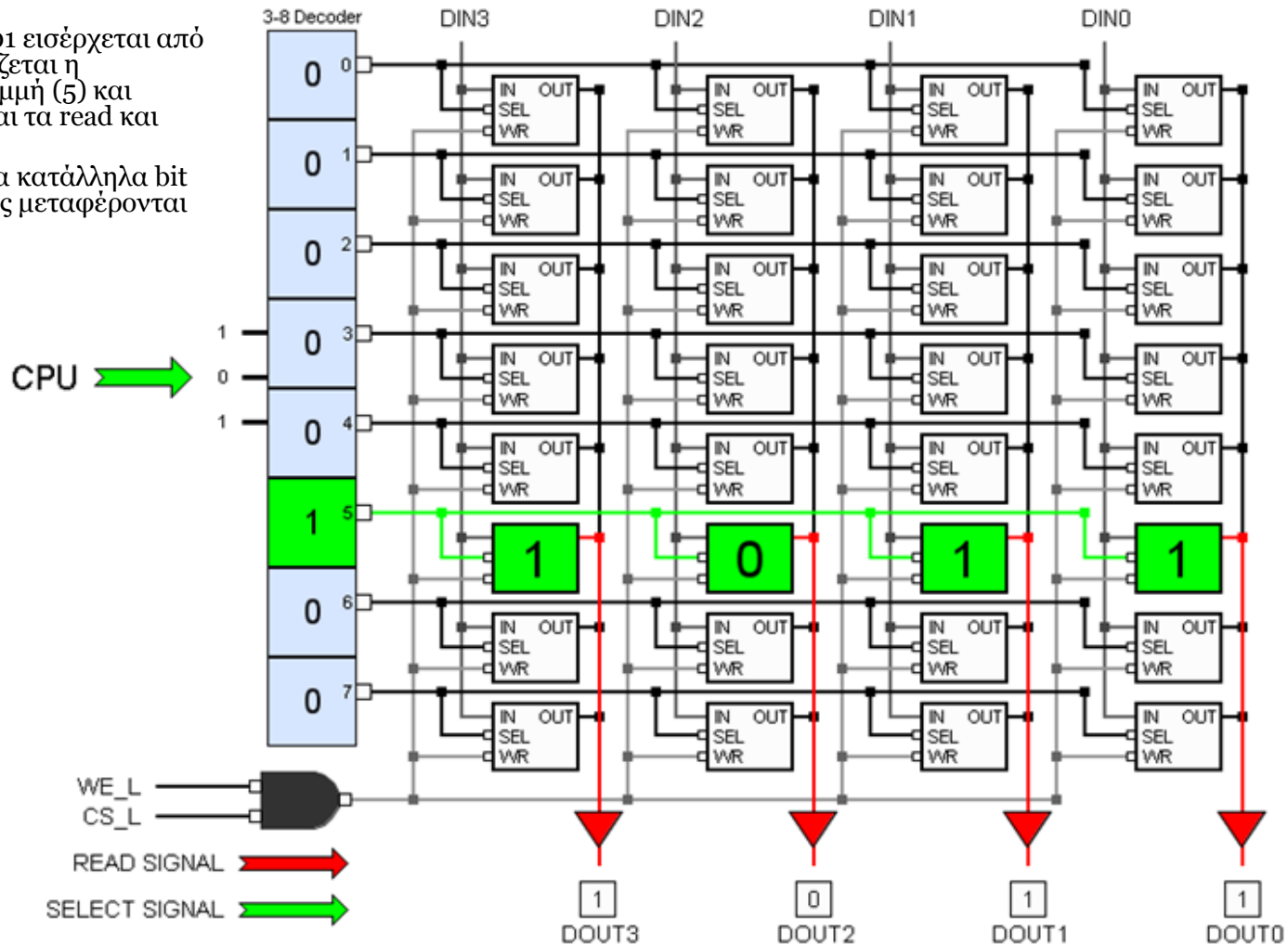
# Τυπική Οργάνωση SRAM των 8 θέσεων των 4 bit

1. Η διεύθυνση 101 εισέρχεται από τη CPU, εντοπίζεται η κατάλληλη γραμμή (5) και ενεργοποιούνται τα read και select signals.



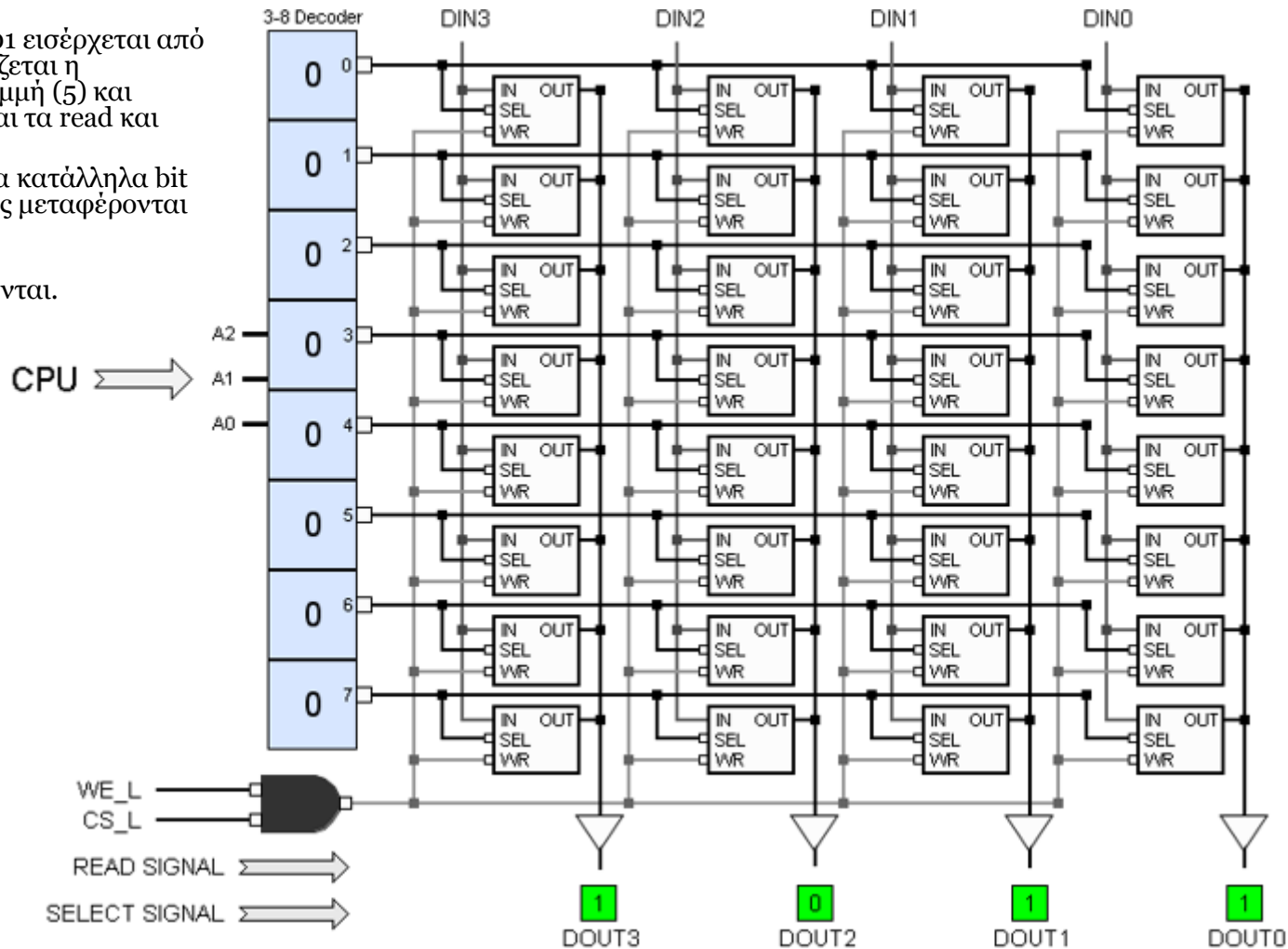
# Τυπική Οργάνωση SRAM των 8 θέσεων των 4 bit

1. Η διεύθυνση 101 εισέρχεται από τη CPU, εντοπίζεται η κατάλληλη γραμμή (5) και ενεργοποιούνται τα read και select signals.
2. Εντοπίζονται τα κατάλληλα bit και οι τιμές τους μεταφέρονται στις εξόδους.



# Τυπική Οργάνωση SRAM των 8 θέσεων των 4 bit

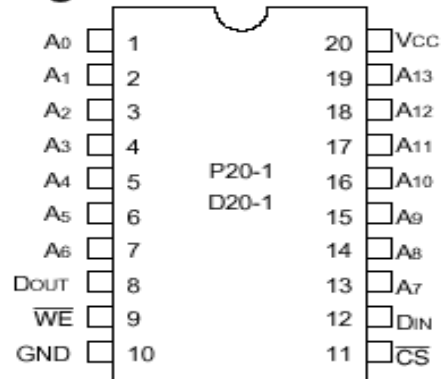
1. Η διεύθυνση 101 εισέρχεται από τη CPU, εντοπίζεται η κατάλληλη γραμμή (5) και ενεργοποιούνται τα read και select signals.
2. Εντοπίζονται τα κατάλληλα bit και οι τιμές τους μεταφέρονται στις εξόδους.
3. Όλα τα σημεία απενεργοποιούνται.



# SRAM package

IDT6167SA/LA  
CMOS Static RAM 16K (16K x 1-Bit)

## Pin Configurations



2981 dnr 02

## DIP Top View

## Pin Descriptions

| Name            | Description    |
|-----------------|----------------|
| A0 - A13        | Address Inputs |
| $\overline{CS}$ | Chip Select    |
| $\overline{WE}$ | Write Enable   |
| VCC             | Power          |
| DIN             | DATAin         |
| DOUT            | DATAout        |
| GND             | Ground         |

# Τύποι μνήμης RAM

| Memory Type                         | Category           | Erasure                   | Write Mechanism | Volatility  |
|-------------------------------------|--------------------|---------------------------|-----------------|-------------|
| Random-access memory (RAM)          | Read-write memory  | Electrically, byte-level  | Electrically    | Volatile    |
| Read-only memory (ROM)              | Read-only memory   | Not possible              | Masks           | Nonvolatile |
| Programmable ROM (PROM)             |                    |                           | Electrically    |             |
| Erasable PROM (EPROM)               | Read-mostly memory | UV light, chip-level      |                 |             |
| Electrically Erasable PROM (EEPROM) |                    | Electrically, byte-level  |                 |             |
| Flash memory                        |                    | Electrically, block-level |                 |             |

# Τύποι DRAM

- Fast Page Mode (FPM DRAM).
- Extended Data Out (EDO DRAM).
- Enhanced DRAM.
- SDRAM Synchronous DRAM.
  - SDR-SDRAM.
  - DDR-SDRAM.
  - DDR<sub>2</sub>-SDRAM.
- RDRAM (RAMBUS DRAM).

# SDRAM vs. RDRAM

- SDRAM

- 8 bytes (64) bit wide data-bus
- PC133SDRAM :  $133\text{MHz} \times 8 \text{ Bytes} = 1064 \text{ MB/s} = 1.1\text{GB/s}$

- RDRAM

- 2 bytes (16) bit wide data-bus
- PC800RDRAM :  $800\text{MHz} \times 2 \text{ Bytes} = 1600 \text{ MB/s} = 1.6\text{GB/s}$

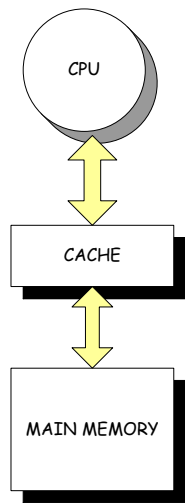
# Memory Bandwidth

| Memory Type             | Clock Rate (MHz) | Bus Width (bits) | Peak Bandwidth |
|-------------------------|------------------|------------------|----------------|
| FP (1987)               | 25               | 64               | 200MB/s        |
| EDO (1995)              | 40               | 64               | 320MB/s        |
| SDRAM (PC66) (1996)     | 66               | 64               | 528MB/s        |
| PC100 SDRAM (1998)      | 100              | 64               | 800MB/s        |
| PC133 SDRAM (1999)      | 133              | 64               | 1.1GB/s        |
| PC800 RDRAM (1999)      | 400x2            | 16               | 1.6GB/s        |
| PC1600 DDR SDRAM (2000) | 100x2            | 64               | 1.6GB/s        |
| PC2100 DDR SDRAM (2001) | 133x2            | 64               | 2.1GB/s        |

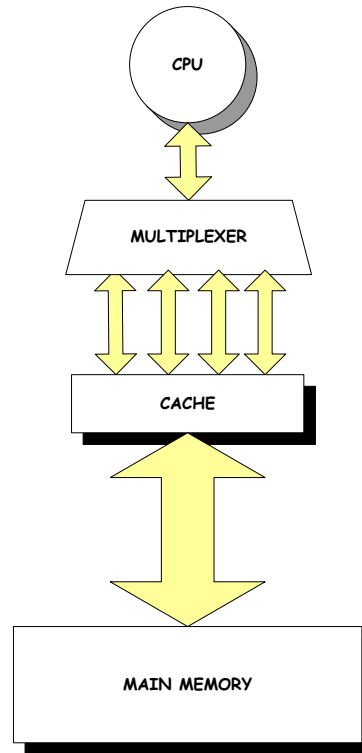
# Οργάνωση Συγκροτήματος μνήμης

- Βασική οργάνωση.
- Ευρεία οργάνωση.
- Οργάνωση παρεμβολής.

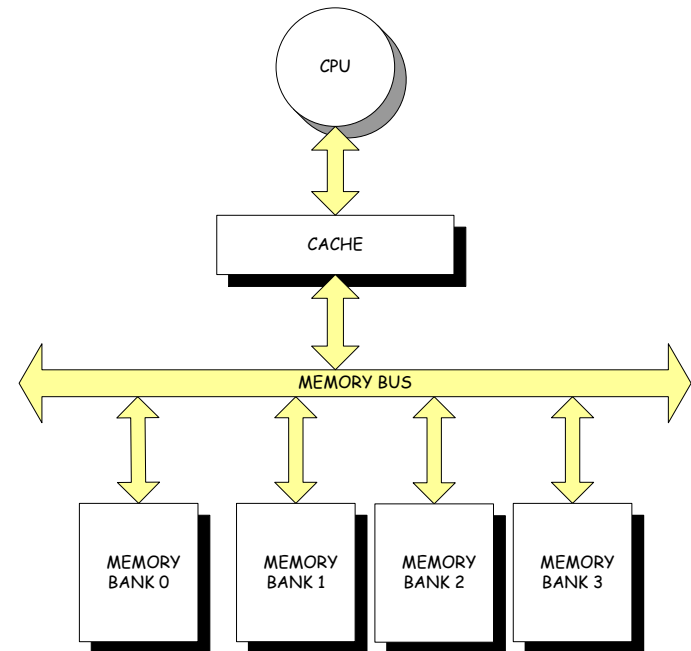
# Οργάνωση Συγκροτήματος μνήμης



Βασική (One-word-wide)

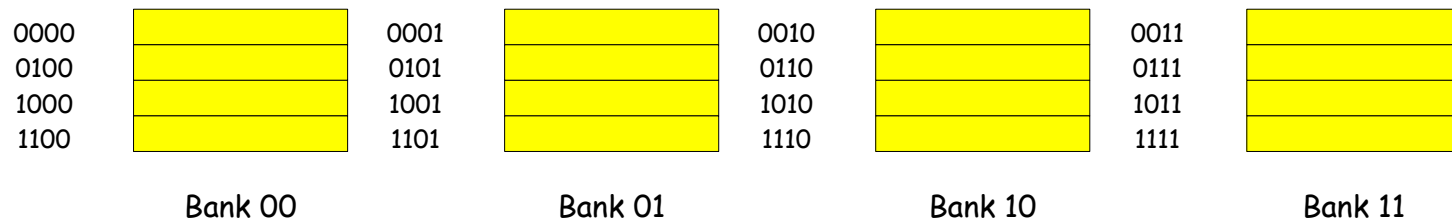


Ευρεία (Wide)



Παρεμβολής (Interleaved)

# Μνήμη με οργάνωση παρεμβολής



Memory address XX YY  
XX : Address in Bank  
YY : Bank address

# Θέματα απόδοσης (Βασική οργάνωση)

Μήκος block in cache =  $N$  words

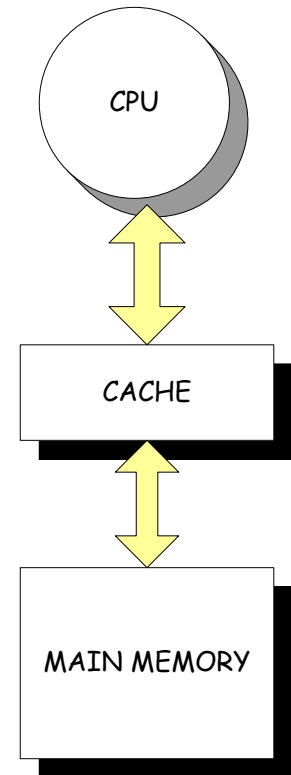
CPU bus = 1 Word

Memory bus = 1 Word

Οργάνωση μνήμης = βασική

Κόστος αποτυχίας =

=  $N \times$  (κόστος αποστολής διεύθυνσης +  
+ κόστος ανάκλησης του περιεχομένου  
της διεύθυνσης από την μνήμη +  
+ κόστος αποστολής μια θέσης μνήμης)



# Θέματα απόδοσης (Ευρεία οργάνωση)

Μήκος block in cache =  $N$  words

CPU bus = 1 Word

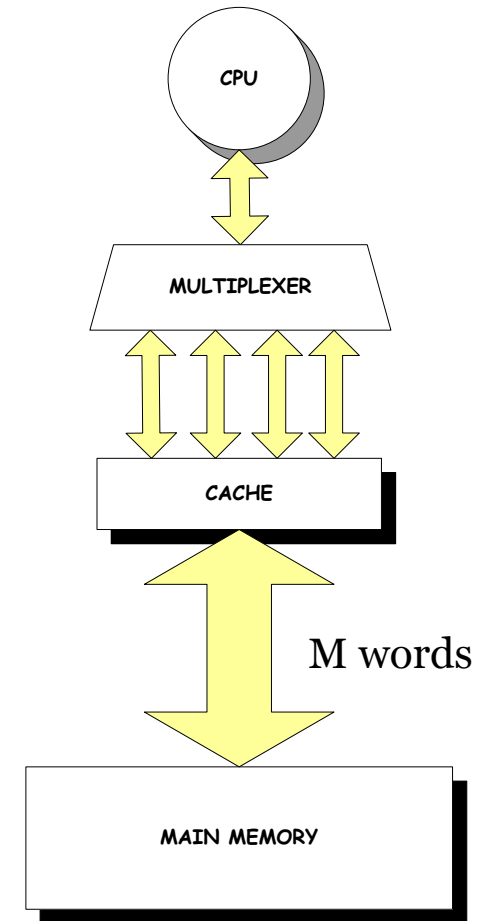
Memory bus =  $M$  Word

Οργάνωση μνήμης = Ευρεία

Κόστος αποτυχίας =

=  $(N/M) \times$

(κόστος αποστολής διεύθυνσης  
+ κόστος ανάκλησης του περιεχομένου  
της διεύθυνσης από την μνήμη  
+ κόστος αποστολής μιας θέσης  
μνήμης)



# Θέματα απόδοσης (N-way interleaved)

Μήκος block in cache =  $N$  words

CPU bus = 1 Word

Memory bus = 1 Word

Οργάνωση μνήμης = Interleaved με  $N$  banks

Κόστος αποτυχίας =

= κόστος αποστολής μιας διεύθυνσης

+ κόστος ανάκλησης του περιεχομένου της  
διεύθυνσης από τη μνήμη

+  $N$  x κόστος αποστολής μιας θέσης μνήμης

Για να ανασύρουμε ένα block  $N$  θέσεων από τη μνήμη δεν χρειάζεται να στείλουμε τέσσερις διευθύνσεις αλλά μία γιατί όλα τα μέλη του block βρίσκονται στην ίδια διεύθυνση αλλά σε διαφορετικά block. Άρα οι αποστολές των διευθύνσεων και οι ανακλήσεις γίνονται ταυτόχρονα. Όμως οι αποστολές των δεδομένων γίνονται σε  $N$  χρόνους

